

PraktikantIn 1 \_\_\_\_\_ Matrikelnr.: \_\_\_\_\_

PraktikantIn 1 \_\_\_\_\_ Matrikelnr.: \_\_\_\_\_

Datum: \_\_\_\_\_

---

## Praktikum 4: Schaltwerke

Themen: SR-Flip-Flop, flankengesteuerte JK-Flip-Flops, zyklische Folgeschaltung, KV-Diagramm, DMF, KMF

### Aufgabe 1

Leiten Sie aus der Zustandstabelle eines einfachen Flip-Flops mit Hilfe eines KV-Diagramms und algebraischer Umformungen sowohl ein taktunabhängiges NAND-SR-Flip-Flop als auch ein taktunabhängiges NOR-SR-Flip-Flop ab. Skizzieren Sie den Schaltungsaufbau für beide Systeme. Realisieren Sie beide Varianten und überprüfen Sie deren Funktionalität. Analysieren und notieren Sie auch das Verhalten der beiden Schaltungen für die sogenannten verbotenen Zustände.

Für die Realisierung der Schaltungen sollen ausschließlich UND bzw. ODER Gatter und deren Negation verwendet werden. Falls Sie Negationen der Eingangsvariablen benötigen, können diese durch die entsprechenden Ausgänge der Eingabeschalter realisiert werden.

### Aufgabe 2

Machen Sie sich mit der Ansteuerung und der Funktionsweise der flankengesteuerten JK-Flip-Flops vertraut, die Ihnen auf dem Digi Board zur Verfügung stehen. Untersuchen und beantworten Sie folgende Fragen:

- Welche Eingänge sind taktabhängig? Welche Eingänge sind taktunabhängig?
- Auf welche Flanke reagieren die taktabhängigen Eingänge?
- Sind die taktunabhängigen Eingänge low-active oder high-active? Was bedeutet dies?
- Haben die S/R- oder die J/K-Eingänge Vorrang?
- Existieren verbotene Zustände? Wenn ja, welche?
- Was versteht man unter dem Begriff „toggeln“?
- Welche Eingänge sind mit PullUp- bzw. mit PullDown-Widerständen beschaltet?

Erstellen Sie bitte sowohl für die taktabhängigen als auch für die taktunabhängigen Eingänge des im Digi Board verbauten JK-Flip-Flops, **im Rahmen der Vorbereitung**, jeweils ein Zustandsdiagramm. Überprüfen Sie die entwickelten Zustandsdiagramme im Rahmen des Praktikums experimentell.

### Aufgabe 3

#### Asynchrone Schaltungen

- a)** Konstruieren Sie einen asynchronen binären Vorwärtszähler für 4 bit, der aus den JK-Flip-Flops, welche Ihnen auf dem Digi Board zur Verfügung stehen, aufgebaut ist. Der aktuelle Zählerstand soll mit Hilfe einer 7-Segment Anzeige visualisiert werden. Bitte skizzieren Sie die Schaltung und überprüfen Sie die Funktion.
- b)** Erweitern Sie Ihre Schaltung so, dass Ihr Zähler nur von *Null* (0) bis Sechs (6) zählt und dann wieder von Neuem beginnt. Erstellen Sie für die Lösung eine Wahrheitstabelle und ein KV-Diagramm. Bitte skizzieren Sie die Schaltung und überprüfen Sie die Funktion Ihrer erweiterten Schaltung.

Lesen Sie im Rahmen Ihrer Ausarbeitung, anhand der auf der Homepage des Prozessrechnerlabors verlinkten Diagramme, die gefragten Zeiten für die Flip-Flops aus und tragen Sie diese in untenstehender Tabelle ein. Erläutern Sie die Unterschiede.

<b>Gatterlaufzeiten:</b>	<b>des Resetsignales der Flip-Flops</b>	<b>des Clocksignales der Flip-Flops</b>	<b>Dauer des erzeugten Resetsignales</b>
Oberes Diagramm			
Unteres Diagramm			

Mit welcher Frequenz wird die Schaltung bei dieser Messung getaktet?

Der zeitliche Abstand zwischen zwei senkrechten-gepunkteten Linien beträgt 40 ns.

Markieren Sie bitte im Rahmen Ihrer Ausarbeitung, anhand der beiden Diagramme, die markanten Stellen und erläutern Sie die Unterschiede.

Eventuell liegt das von Ihnen für den Reset erzeugte Signal für ein zu kurzes Zeitintervall an, so dass der gewünschte Zustand *Null* nicht angezeigt wird.

Begründen Sie in Ihrer Ausarbeitung ausführlich weshalb das vollständige Rücksetzen der Schaltung anscheinend nicht dauerhaft ausgeführt wird.

**Aufgabe 4****Synchrone Schaltungen**

Eine zyklische Folgeschaltung mit 7 Zuständen sei durch folgende Zustandsfolgetabelle definiert:

Zustand	C	B	A
0	0	0	0
1	0	1	1
2	1	1	0
3	0	0	1
4	0	1	0
5	1	0	0
6	1	1	1
	Wiederholung		

Bitte konstruieren Sie eine synchrone Schaltung, die an den Q-Ausgängen der flankengesteuerten JK-Flip-Flops die logischen Werte der gegebenen Wertetabelle realisiert. Erstellen Sie für die Beschaltung der Eingänge der JK-Flip-Flops jeweils ein KV-Diagramm. Berücksichtigen Sie zur Erstellung der KV-Diagramme alle Eigenschaften der JK-Flip-Flops. Ermitteln Sie für die Beschaltung des JK-Flip-Flops, das Ausgang B realisiert, die KMF. Für die Beschaltung der JK-Flip-Flops, die Ausgang A und Ausgang C realisieren, ermitteln Sie die DMF. Skizzieren Sie die von Ihnen konstruierte Schaltung und überprüfen Sie die Funktion.

- Erweitern Sie die von Ihnen konstruierte Schaltung so, dass Sie aus einem beliebigen Zustand durch Senden eines einfachen, vorrangigen Signals unmittelbar in Zustand 5 (C=1, B=0, A=0) gelangen. Bitte realisieren Sie die von Ihnen konstruierte Schaltung und überprüfen Sie deren Funktionalität.
- Diskutieren Sie die synchronen bzw. asynchronen Aspekte des von Ihnen realisierten Schaltwerks.

**Hinweis: Alle KV-Diagramme, algebraische Umformungen und Schaltpläne sind im Rahmen der Vorbereitung zu erstellen bzw. durchzuführen.**